

A. Sugiyama

日本国特許庁 9/12/03

JAPAN PATENT OFFICE

Q77292

lof |

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月13日

出願番号

Application Number:

特願2002-268865

[ST.10/C]:

[JP2002-268865]

出願人

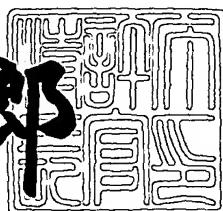
Applicant(s):

エヌイーシーマイクロシステム株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028428

【書類名】 特許願
【整理番号】 01211733
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/41
【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53
エヌイーシーマイクロシステム株式会社
社内

【氏名】 杉山 明生

【特許出願人】

【識別番号】 000232036
【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114180

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置のデータ読出回路およびデータ読出方法

【特許請求の範囲】

【請求項1】 複数の回路ブロックからの出力データを逐一的に共通データ線に読み出す選択手段と、読み出した前記出力データを外部へ出力するか否かを前記選択手段の選択信号に同期した判定開始信号で判定する判定手段と、その判定結果で制御されかつ次段回路ブロックとの間の前記共通データ線に継続接続で挿入されるディスチャージ手段とを有し、前記判定結果に基づき、転送すべき出力データが非正転レベルなら前記ディスチャージ手段を導通状態にして次段回路ブロックの前記共通データ線をディスチャージさせ正転レベルならプリチャージ手段でプリチャージさせる制御動作を、最下位の前記回路ブロックまで順次に繰り返して前記出力データに対応した論理レベルのデータを出力するデータ転送機能を備えたことを特徴とする半導体装置のデータ読出回路。

【請求項2】 前記回路ブロックがメモリ回路のバンクブロックであり、前記選択手段が行デコーダ、行線、列デコーダであり、前記選択信号が前記行線であり、前記共通データ線が列線である請求項1記載の半導体装置のデータ読出回路。

【請求項3】 シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク内の前記ビット線1本に読み出したデータを外部に出力するか否かをワード信号に同期した判定開始信号で判定する判定手段とその判定結果が出力可であれば導通状態になり次段バンクのビット線をディスチャージするディスチャージ手段と前記ビット線をプリチャージするプリチャージ手段とを持つとともに前記バンク間に介在する読出手段とを有し、前記読出手段は、当該バンクの前記判定手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えたことを特徴とする半導体装置のデータ読出回路。

【請求項4】 シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎

に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えたことを特徴とする半導体装置のデータ読出回路。

【請求項5】 ビット線1本でセルのデータを伝達するリードオンリーメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えたことを特徴とする半導体装置のデータ読出回路。

【請求項6】 所定の論理回路群で構成される複数のバンクと、それぞれのバンク内に設けたデータ出力線と、前記データ出力線に、所定の入力信号でそれぞれ制御されるトランジスタ群がワイヤードオアで接続されるワイヤードオア回路と、前記バンク間に介在し前記ワイヤードオア回路の出力データを外部に読み出す読出手段とを有し、前記読出手段は、前記データ線をプリチャージするプリチャージ信号の逆相でかつ前記出力データを転送すべきか否か判定するための判定開始信号および前記出力データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位のデータ出力線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えたことを特徴と

する半導体装置のデータ読出回路。

【請求項7】 シングルエンド方式によりビット線1本でセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号がアクティブ状態時に前記データを出力するクロックドインバータと、そのクロックドインバータの出力結果で下位ビット線をディスチャージするディスチャージ手段と、前記判定開始信号が非アクティブ状態時に前記ディスチャージ手段のディスチャージ動作を禁止するとともに前記クロックインバータの入力をプリチャージ電位に保持させるディスチャージ禁止手段とを有し、当該バンクの前記クロックドインバータの出力結果を基に、次段バンクにおける前記読出手段のデータ転送可否を決定する制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えたことを特徴とする半導体装置のデータ読出回路。

【請求項8】 シングルエンド方式によりビット線1本でセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する転送手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号がアクティブ状態時に、転送する前記データとリファレンス信号とを比較する差動型センスアンプと、前記差動型センスアンプの出力する前記データを入力するとともに前記判定開始信号がアクティブ状態時に前記データを出力するクロックドインバータと、そのクロックドインバータの出力結果で下位ビット線をディスチャージするディスチャージ手段と、前記判定開始信号が非アクティブ状態時に前記ディスチャージ手段のディスチャージ動作を禁止するとともに前記クロックインバータの入力をプリチャージ電位に保持させるディスチャージ禁止手段とを有し、当該バンクの前記判定手段のクロックドインバータの出力結果を基に、次段バンクにおける前記読出手段のデータ転送可否を決定する制御動作が、最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えたことを特徴とする半導体装置のデータ読出

回路。

【請求項9】 前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線および前記判定開始信号の信号線が入力端に接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続される複数入力否定論理回路と、ゲート電極に前記複数入力否定論理回路の出力端がさらに接続されドレイン電極が前記下位ビット線に、ソース電極が接地電位に接続されるディスチャージトランジスタとで構成される請求項3記載の半導体装置のデータ読出回路。

【請求項10】 前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線がデータ入力端に接続され一方のクロック入力端に判定開始信号が接続され他方のクロック入力端に前記判定開始信号の極性反転信号が接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続されるクロックドインバータと、このクロックドインバータの出力端にドレイン電極が接続されソースが接地されゲート電極に前記判定開始信号の極性反転信号が接続されるクロックドインバータの出力保持トランジスタと、ゲート電極に前記クロックドインバータの出力端が接続されドレイン電極が前記下位ビット線に接続されソース電極が接地されるディスチャージトランジスタとで構成される請求項4記載の半導体装置のデータ読出回路。

【請求項11】 前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線がデータ入力端に接続され一方のクロック入力端に判定開始信号が接続され他方のクロック入力端に前記判定開始信号の極性反転信号が接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続されるクロックドインバータと、このクロックドインバータの出力端にドレイン電極が接続されソースが接地されゲート電極に前記判定開始信号の極性反転信号が接続されるクロックドインバータの出力保持トランジスタと、ゲート電極に前記クロックドインバータの出力端が接続されドレ

イン電極が前記下位ビット線に接続されソース電極が接地されるディスチャージトランジスタとで構成される請求項5記載の半導体装置のデータ読出回路。

【請求項12】 前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線が比較入力端（+）に接続され、かつ比較入力端（-）にはリファレンス信号線が接続されるとともに、制御端子には判定開始信号線が接続される電圧比較器と、この電圧比較器の比較結果出力端がデータ入力端に接続され一方のクロック入力端に前記判定開始信号が接続され他方のクロック入力端に前記判定開始信号の極性反転信号が接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続されるクロックドインバータと、このクロックドインバータの出力端にドレイン電極が接続されソースが接地されゲート電極に前記判定開始信号の極性反転信号が接続されるクロックドインバータの出力保持トランジスタと、ゲート電極に前記クロックドインバータの出力端が接続されドレイン電極が前記下位ビット線に接続されソース電極が接地されるディスチャージトランジスタとで構成される請求項6記載の半導体装置のデータ読出回路。

【請求項13】 前記ディスチャージトランジスタの駆動能力を前記ディスチャージトランジスタの駆動能力以上に予め設定する請求項9、10、11または12記載の半導体装置のデータ読出回路。

【請求項14】 複数の回路ブロックからの出力データを逐一的に共通データ線に読み出す選択手段と、読み出した前記出力データを外部へ出力するか否かを前記選択手段の選択信号に同期した判定開始信号で判定する判定手段と、その判定結果で制御されかつ次段回路ブロックとの間の前記共通データ線に継続接続出力データが非正転レベルなら前記ディスチャージ手段を導通状態にして次段回路ブロックの前記共通データ線をディスチャージさせ正転レベルならプリチャージ手段でプリチャージさせる制御動作を、最下位の前記回路ブロックまで順次に繰り返して前記出力データに対応した論理レベルのデータを出力することを特徴とする半導体装置のデータ読出方法。

【請求項15】 シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク内の前記ビット線1本に読み出したデータを外部に出力するか否かをワード信号に同期した判定開始信号で判定する判定手段とその判定結果が出力可であれば導通状態になり次段バンクのビット線をディスチャージするディスチャージ手段と前記ビット線をプリチャージするプリチャージ手段とを持つとともに前記バンク間に介在する読出手段とを有し、前記読出手段は、当該バンクの前記判定手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行されることを特徴とする半導体装置のデータ読出方法。

【請求項16】 シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理手段と、その否定論理手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行されることを特徴とする半導体記憶装置のデータ読出方法。

【請求項17】 ビット線1本でセルのデータを伝達するリードオンリーメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理手段と、その否定論理手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行されることを特徴とする半導体

装置のデータ読出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置のデータ読出回路およびデータ読出方法に係わり、特にシングルエンド方式によりビット線1本でセルのデータを伝達するマルチポートメモリセル群が複数のバンクに分割され、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力する転送手段のチップに占める面積を小さくした半導体装置のデータ読出回路およびデータ読出方法に関する。

【0002】

【従来の技術】

近年、半導体素子の微細化技術の進展に伴い、その半導体素子で構成するLSIも大規模化している。特に半導体記憶装置の分野ではその傾向が顕著である。例えば、1チップに256メガバイトの容量を有する半導体記憶装置としてダイナミック型ランダムアクセスメモリ(DRAM)や18メガバイトの型 static型ランダムアクセスメモリ(SRAM)も実用化されている。

【0003】

この種の半導体記憶装置では、例えば、シングルエンド方式を用いたマルチポートメモリセルの構成を示した図10を参照すると、リード用ビット線はシングルエンド方式を用いることによりメモリセル面積を小さくしている。シングルエンド方式とはビット線1本でセルのデータを伝達する方式である。

【0004】

マルチポートRAMの構成の一例を示した図11を参照すると、マルチポートRAMは行線および列線が交叉する交点にメモリセル配置され、そのメモリセルに接続され各ポート個別に行アドレスを選択するワード線420, 421, ~42n, 430, 431, ~43n, 440, 441, ~44nと、メモリセルのデータを伝播するビット線45, 46, 47, 48と、ビット線45, 46, 47, 48に対してプリチャージを行うプリチャージ回路49と、列アドレスを選択するライトポートカラムセレクタ50, リードポートカラムセレクタ51と、

リード用ポートにはビット線に伝播したデータの読み出し回路53と、データ出力回路55と、ライト用ポートにはビット線に書き込みデータを伝播させる書き込み回路52と、データ入力回路54とを備えてメモリの基本構成が構築される

【0005】

上述したシングルエンド方式によるデータの読み出しのタイミングチャートを示した図12を参照すると、区間Aに示すように、プリチャージ回路49によつてプリチャージされたリード用ビット線48が、ワード線440の立ち上がりタイミング t_1 により選択されたメモリセルのデータによりディスチャージされていき、その電位が読み出し回路52の論理しきい値まで下がったタイミング t_2 で“0”レベルと判定されて読み出し信号が t_3 で“1”レベルとなり、タイミング t_4 でデータ出力19が“1”レベルを出力する場合と、区間Bに示すように、ビット線48の電位を保持したまま“1”レベルと判定しデータ出力を行う場合がある。

【0006】

ビット線の容量増加によりディスチャージ時間が大きくなる例を示すタイミングチャートを示した図13を参照すると、メモリの行が増えることによりビット線の容量が増加し、ビット線48のディスチャージに要する時間($t_2' - t_1$)が大きくなり、読み出し速度が遅くなることを示している。

【0007】

大容量に対応するために従来技術ではメモリを複数のバンクに分割し、バンク単位でアドレス選択を行い読み出したデータをデータバスによって出力回路に転送する構成を用いることにより、大容量のメモリでの高速読み出しを可能としてきた。

【0008】

その構成を示した図14を参照すると、メモリセルを行線および列線の交差する交叉点に配置した複数のメモリバンク2と、それぞれのメモリバンクに接続され行アドレスを選択する行デコード出力3と、列アドレスを選択するカラムセレクタA58と、カラムセレクタA58により選択されたデータを增幅しビット線

のプリチャージを行うセンスアンププリチャージ回路59と、データを出力する出力回路60と、出力回路60とセンスアンププリチャージ回路59との間のデータ転送を行うデータバス56a, 56bとで基本構成が構築される。

【0009】

この方式の読み出しを説明するためのタイミングチャートを示した図14を参照すると、ビット線がプリチャージされた状態で選択されたメモリバンクのワード線81がタイミングt6で立ち上がり、ビット線10aがディスチャージされ、タイミングt7でセンスアンプ出力がビット線81のデータを増幅する。

【0010】

その増幅されたデータをデータバス56a, 56bにより、出力回路60まで転送し、タイミングt8でデータ出力をすることにより、大容量メモリでの高速読み出しを実現している。すなわち、大容量メモリのメモリセル領域を複数のブロックに分割することは高速化において必須の技術といえる。

【0011】

また、他のビット線高速化の例が特許2892697号公報に記載されている。同公報記載の半導体記憶装置では、通常、ディファレンシャル方式のビット線で用いる差動型センスアンプを、リファレンス信号とシングルエンド方式のビット線の差電位に用いることにより高速化を実現している（特許文献1参照）。

【0012】

シングルポートRAMセルの構成を示した図15を参照すると、ディファレンシャル方式とはシングルポートRAMのビット線の様にセルデータを正論理、負論理の2つのビット線に伝播させる方式を意味している。

【0013】

一方、特開平10-134578号公報には、記憶素子部を複数分割したブロック間のビット線に、入力側ブロックまたは出力側ブロックの素子選択に対応して増幅出力または遮断するバッファ回路を挿入することが記載されている（特許文献2参照）。

【0014】

【特許文献1】

特許2892697号公報（第3頁、右欄の29行目～第4頁、左欄の21行目、図2）

【特許文献2】

特開平10-134578号公報（段落番号「0059」～「0061」、図1、図3）

【0015】

【発明が解決しようとする課題】

上述したように従来の半導体記憶装置において、メモリを複数のブロックに分割する手法ではメモリバンク単位でのカラムセレクタが必要であり、マルチポートメモリではポート数分のカラムセレクタが必要なため、その部分の面積が大きくなる。更にカラムセレクタを動作させるカラムデコーダに関しても同様に必要となり、チップ面積が大きくなる要因となる。

【0016】

また、各ブロックでデータを転送するデータバス配線領域もポート分必要となりチップ面積を大きくする要因となっている。特にマルチポートメモリの様に多くのbit構成で使用することが多いメモリでは、bit単位でもつデータバス領域の面積の影響が大きくなる。

【0017】

リファレンス信号を利用し差動型センスアンプを用いる特許2892697号公報の例では、所望の差電位を得るためにビット線のディスチャージ量がディファレンシャル方式と比較すると約2倍必要となるため、大容量時の高速化という点では問題がある。

【0018】

また、特開平10-134578号公報では、ビット線に付く容量が大きくなっ場合にはビット線間に挿入されたバッファ回路の出力信号の変化も遅くなり、高速化の妨げとなる。

【0019】

本発明の目的は、上述した従来の欠点に鑑みなされたものであり、ビット線に付く容量が大きくなった場合でも、ビット線のディスチャージが高速に行われビ

ット線のデータ転送速度を向上させることが出来、かつチップ面積も小さくできるデータの読み出し手段を提供することにある。

【0020】

【課題を解決するための手段】

本発明の半導体装置のデータ読出回路は、複数の回路ブロックからの出力データを逐一的に共通データ線に読み出す選択手段と、読み出した前記出力データを外部へ出力するか否かを前記選択手段の選択信号に同期した判定開始信号で判定する判定手段と、その判定結果で制御されかつ次段回路ブロックとの間の前記共通データ線に継続接続で挿入されるディスチャージ手段とを有し、前記判定結果に基づき、転送すべき出力データが非正転レベルなら前記ディスチャージ手段を導通状態にして次段回路ブロックの前記共通データ線をディスチャージさせ正転レベルならプリチャージ手段でプリチャージさせる制御動作を、最下位の前記回路ブロックまで順次に繰り返して前記出力データに対応した論理レベルのデータを出力するデータ転送機能を備えたことを特徴とする。

【0021】

また、前記回路ブロックがメモリ回路のバンクブロックであり、前記選択手段が行デコーダ、行線、列デコーダであり、前記選択信号が前記行線であり、前記共通データ線が列線である。

【0022】

本発明の半導体装置のデータ読出回路の他の特徴は、シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク内の前記ビット線1本に読み出したデータを外部に出力するか否かをワード信号に同期した判定開始信号で判定する判定手段とその判定結果が出力可であれば導通状態になり次段バンクのビット線をディスチャージするディスチャージ手段と前記ビット線をプリチャージするプリチャージ手段とを持つとともに前記バンク間に介在する読出手段とを有し、前記読出手段は、当該バンクの前記判定手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えることにある。

【0023】

本発明の半導体装置のデータ読出回路のまた他の特徴は、シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えることにある。

【0024】

本発明の半導体装置のデータ読出回路のまた他の特徴は、ビット線1本でセルのデータを伝達するリードオンリーメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えることにある。

【0025】

本発明の半導体装置のデータ読出回路のさらにまた他の特徴は、所定の論理回路群で構成される複数のバンクと、それぞれのバンク内に設けたデータ出力線と、前記データ出力線に、所定の入力信号でそれぞれ制御されるトランジスタ群がワイヤードオアで接続されるワイヤードオア回路と、前記バンク間に介在し前記ワイヤードオア回路の出力データを外部に読み出す読出手段とを有し、前記読出手段は、前記データ線をプリチャージするプリチャージ信号の逆相でかつ前記出

力データを転送すべきか否か判定するための判定開始信号および前記出力データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位のデータ出力線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えることにある。

【0026】

本発明の半導体装置のデータ読出回路の他の特徴は、シングルエンド方式によりビット線1本でセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号がアクティブ状態時に前記データを出力するクロックドインバータと、そのクロックドインバータの出力結果で下位ビット線をディスチャージするディスチャージ手段と、前記判定開始信号が非アクティブ状態時に前記ディスチャージ手段のディスチャージ動作を禁止するとともに前記クロックドインバータの入力をプリチャージ電位に保持させるディスチャージ禁止手段とを有し、当該バンクの前記クロックドインバータの出力結果を基に、次段バンクにおける前記読出手段のデータ転送可否を決定する制御動作が、最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えることにある。

【0027】

本発明の半導体装置のデータ読出回路のまた他の特徴は、シングルエンド方式によりビット線1本でセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する転送手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号がアクティブ状態時に、転送する前記データとリファレンス信号とを比較する差動型センスアンプと、前記差動型センスアンプの出力する前記データを入力するとともに前記判定開始信号がアクティブ状態時に前記データを出力するク

ロックドインバータと、そのクロックドインバータの出力結果で下位ビット線をディスチャージするディスチャージ手段と、前記判定開始信号が非アクティブ状態時に前記ディスチャージ手段のディスチャージ動作を禁止するとともに前記クロックインバータの入力をプリチャージ電位に保持させるディスチャージ禁止手段とを有し、当該バンクの前記判定手段のクロックドインバータの出力結果を基に、次段バンクにおける前記読出手段のデータ転送可否を決定する制御動作が、最下位バンクまで順次に実行されていき所望の転送が実行される機能を備えることにある。

【0028】

また、前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線および前記判定開始信号の信号線が入力端に接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続される複数入力否定論理回路と、ゲート電極に前記複数入力否定論理回路の出力端がさらに接続されドレイン電極が前記下位ビット線に、ソース電極が接地電位に接続されるディスチャージトランジスタとで構成される。

【0029】

さらに、前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線がデータ入力端に接続され一方のクロック入力端に判定開始信号が接続され他方のクロック入力端に前記判定開始信号の極性反転信号が接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続されるクロックドインバータと、このクロックドインバータの出力端にドレイン電極が接続されソースが接地されゲート電極に前記判定開始信号の極性反転信号が接続されるクロックドインバータの出力保持トランジスタと、ゲート電極に前記クロックドインバータの出力端が接続されドレイン電極が前記下位ビット線に接続されソース電極が接地されるディスチャージトランジスタとで構成される。

【0030】

さらにまた、前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線がデータ入力端に接続され一方のクロック入力端に判定開始信号が接続され他方のクロック入力端に前記判定開始信号の極性反転信号が接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続されるクロックドインバータと、このクロックドインバータの出力端にドレイン電極が接続されソースが接地されゲート電極に前記判定開始信号の極性反転信号が接続されるクロックドインバータの出力保持トランジスタと、ゲート電極に前記クロックドインバータの出力端が接続されドレイン電極が前記下位ビット線に接続されソース電極が接地されるディスチャージトランジスタとで構成される。

【0031】

また、前記読出手段は、プリチャージトランジスタおよび前記プリチャージトランジスタに並列接続されるプリチャージ保持トランジスタにより選択的にプリチャージされる1本のビット線と、このビット線が比較入力端(+)に接続され、かつ比較入力端(-)にはリファレンス信号線が接続されるとともに、制御端子には判定開始信号線が接続される電圧比較器と、この電圧比較器の比較結果出力端がデータ入力端に接続され一方のクロック入力端に前記判定開始信号が接続され他方のクロック入力端に前記判定開始信号の極性反転信号が接続され出力端が前記プリチャージ保持トランジスタのゲート電極に接続されるクロックドインバータと、このクロックドインバータの出力端にドレイン電極が接続されソースが接地されゲート電極に前記判定開始信号の極性反転信号が接続されるクロックドインバータの出力保持トランジスタと、ゲート電極に前記クロックドインバータの出力端が接続されドレイン電極が前記下位ビット線に接続されソース電極が接地されるディスチャージトランジスタとで構成される。

【0032】

さらに、前記ディスチャージトランジスタの駆動能力を前記ディスチャージトランジスタの駆動能力以上に予め設定する。

14 本発明の半導体装置のデータ読出方法は、複数の回路ブロックからの出力

データを逐一的に共通データ線に読み出す選択手段と、読み出した前記出力データを外部へ出力するか否かを前記選択手段の選択信号に同期した判定開始信号で判定する判定手段と、その判定結果で制御されかつ次段回路ブロックとの間の前記共通データ線に継続接続で挿入されるディスチャージ手段とを備え、前記判定結果に基づき、転送すべき出力データが非正転レベルなら前記ディスチャージ手段を導通状態にして次段回路ブロックの前記共通データ線をディスチャージさせ正転レベルならプリチャージ手段でプリチャージさせる制御動作を、最下位の前記回路ブロックまで順次に繰り返して前記出力データに対応した論理レベルのデータを出力されることを特徴とする。

【0033】

本発明の半導体装置のデータ読出方法の他の特徴は、シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク内の前記ビット線1本に読み出したデータを外部に出力するか否かをワード信号に同期した判定開始信号で判定する判定手段とその判定結果が出力可であれば導通状態になり次段バンクのビット線をディスチャージするディスチャージ手段と前記ビット線をプリチャージするプリチャージ手段とを持つとともに前記バンク間に介在する読出手段とを有し、前記読出手段は、当該バンクの前記判定手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行されることにある。

【0034】

本発明の半導体装置のデータ読出方法のまた他の特徴は、シングルエンド方式によりビット線1本でメモリセルのデータを伝達するマルチポートメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理和手段と、その否定論理和手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理和回路の判定結果を基に次段バンク

の前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行されていき所望の転送が実行されることにある。

【0035】

本発明の半導体装置のデータ読み出し方法のさらにまた他の特徴は、ビット線1本でセルのデータを伝達するリードオンリーメモリセル群を有する複数のバンクと、前記バンク毎に設けた1本のビット線に読み出したデータを外部に出力するために前記バンク間に介在する読出手段とを有し、前記読出手段は、前記データを転送すべきか否かワード信号に同期して判定するための判定開始信号および前記データをそれぞれ入力する单一の否定論理手段と、その否定論理手段の出力結果で下位ビット線をディスチャージするディスチャージ手段とを有し、当該バンクの前記否定論理手段の判定結果を基に次段バンクの前記読出手段のデータ転送の可否が決定される制御動作が最下位バンクまで順次に実行されていき所望の転送が実行されることにある。

【0036】

【発明の実施の形態】

本発明は半導体記憶装置を例として説明するが、半導体記憶装置に限定されるものではなく、複数の回路ブロックからの出力データを逐一的に共通データ線に読み出す選択手段と、読み出した出力データを外部へ出力するか否かを選択手段の選択信号に同期した判定開始信号で判定する判定手段と、その判定結果で制御されかつ次段回路ブロックとの間の共通データ線に継続接続で挿入されるディスチャージ手段とを備える半導体装置に適応できるものである。

【0037】

まず、第1の実施の形態を図面を参照しながら詳細に説明する。

【0038】

本発明が一例として適用されるリードポートの回路構成図を示した図1を参照すると、リードポートは、複数のメモリセル1がそれぞれ行線および列線の直交する交叉点に配置されて構成されるメモリバンク2a, 2b, 2c, 2dと、そのワード線を選択する行デコード出力3a, 3b, 3c, 3dと、上位メモリバ

ンクのビット線に接続されるプリチャージ及び読み出し回路4a, 4b, 4dと、列デコード出力5と、カラムセレクタ6と、出力回路7と、プリチャージ信号および読み出し開始信号を生成しプリチャージ及び読み出し回路4a, 4b, 4dに供給するタイミング作成回路20とを有する。

【0039】

メモリバンク2a, 2b, 2c, 2dは、それぞれのメモリバンクに接続されるワード線80, 81, ~8nと、90, 91, ~9nとを有する。メモリバンク2a, 2b, 2c, 2dはそれぞれ同一の構成であるので、説明の便宜上、バンク2aの構成を説明し他のバンクの説明は省略する。

【0040】

ここではバンク2aを上位メモリバンク、2b, 2c, 2dを下位メモリバンクとする。プリチャージ及び読み出し回路4aの出力は下位メモリバンク2bの対応するビット線12a, 12b, 12c, 12d, 13a, 13b, 13c, 13dにそれぞれ接続される。

【0041】

これらのビット線12a, 12b, 12c, 12d, 13a, 13b, 13c, 13dに接続されるプリチャージ及び読み出し回路4aが更に下位メモリバンク2cの対応ビット線に接続される。この接続を繰返し最下位メモリバンク2dのビット線16a, 16b, 16c, 16d, 17a, 17b, 17c, 17dまで接続する。

【0042】

最下位メモリバンク2dのビット線もプリチャージ及び読み出し回路4dに接続され、その出力は列デコード出力5により選択されるカラムセレクタ6に接続し、カラムセレクタ6の出力が出力回路7へ接続されて、図1の基本構成が構築される。

【0043】

上述したプリチャージ及び読み出し回路4a, 4b, 4dに含まれる判定回路32の第1の実施の形態の回路図を示した図2を参照すると、上位メモリバンクのビット線にこのビット線をプリチャージするPMOSトランジスタ35および

読み出し時にプリチャージ状態を保持するためのPMOSトランジスタ36それぞれのドレインを共通接続し、そのビット線を一方の入力端に接続し、他方の入力端に判定開始信号線を接続するNOR32aと、そのNOR32aの出力端がゲート端子に接続されソースが接地されドレインが下位ブロックのビット線に接続されるディスチャージトランジスタとしてのNMOSトランジスタ37とを有し、NOR32の出力端はさらに保持トランジスタ36のゲートに接続して構成する。

【0044】

上述した判定回路32のNOR32a以外の構成要素のうち、例えば保持PMOSトランジスタ36の代わりにバスフォルダを用いてもよい。

【0045】

次に、図1および図2と動作説明用のタイミングチャートを示した図3を併せて参照しながら説明する。

【0046】

図1および図2の回路において、ワード線81が選択されビット線10aがディスチャージされる場合と、ワード線80が選択されビット線10aがディスチャージされない場合とを例に説明する。

【0047】

上位メモリバンク2aの行アドレスが選択された場合、まずプリチャージ信号が立ち上がることにより、ビット線のプリチャージが終了し、ワード線81がt₁で立ち上がる。

【0048】

ワード線81がt₁で立ち上がることにより、ワード線81に接続されているメモリセルのアクセストランジスタが開き、メモリセルに保持しているデータによりビット線10aがディスチャージされる。

【0049】

ディスチャージされるビット線10aは、セル能力により徐々に電位が低くなっている、タイミングt₂に示すように、判定開始信号により有効になっている図2のNOR38の論理しきい値まで下がると、タイミングt₃のように、NO

R38の出力が論理レベルの“1”レベルになる。

【0050】

NOR38の出力が論理レベルの“1”レベルになることで下位メモリバンク2bに接続される図6のNMOSトランジスタ37がON（導通）状態となり、タイミングt4のように下位メモリバンク2bのビット線12aのディスチャージを始める。

【0051】

上述したディスチャージに関わるNMOSトランジスタ37の能力をメモリセル能力、あるいは後述する、ビット線にワイヤードオア接続するトランジスタ23, 24, ~よりもトランジスタサイズを大きくすることにより、下位メモリバンク2bのディスチャージは高速で行われ、タイミングt5のように、下位メモリバンク2bの判定回路NOR38の出力も“1”レベルに変化する。

【0052】

上述した動作を繰返し、下位メモリバンク2dのビット線16aまでデータを転送するカラムセレクタ6を経由し、タイミングt6のように、出力回路7に転送されてデータ出力18として出力される。

【0053】

出力されたデータのラッチを行った後、ワード線8を閉じ判定開始信号を無効にして判定回路32aのNOR38の出力を一義的に“0”レベルにしてからプリチャージ信号を立ち下げて全バンクのビット線のプリチャージを行い、初期状態に戻す。

【0054】

ビット線がディスチャージされないデータの場合のビット線10は、図2のPMOSトランジスタ36によりプリチャージされた電位を保持し、下位メモリバンク2bに接続されたNMOSトランジスタ37はOFF（非導通）状態のままのため、下位メモリバンク2bのビット線12aもプリチャージ状態を保ち、そのデータが出力回路7まで転送され出力データとなる。

【0055】

次に、下位メモリバンクの行アドレスが選択された場合の上位メモリバンクの

ビット線は、PMOSトランジスタ38によりプリチャージ状態を保持し、判定回路NOR32aの出力は“0”レベルであるから、NMOSトランジスタ37はOFF状態を保持し、下位メモリバンクのビット線に影響を与えない。

【0056】

上述した第1の実施の形態は、従来のバンクを用いた構成と同等の高速読み出しを実現しつつ、面積を小さくすることが出来る。

【0057】

また、従来の技術で述べた特許2892697号公報に対しても、大容量において高速化が可能である。

【0058】

さらに、ビット線分割を行わない構成を有するので、読み出しビット線での消費電力を小さくでき、4分割時で約5／8となる。

【0059】

さらにまた、従来の技術で述べた特開平10-134578号公報の例では、記憶素子自体が“1”レベル出力をインバータ等で行うことを前提にしているため、記憶素子は前述した図10のような構成を使えず、記憶素子のサイズが大きくなるが、本発明では、そのような前提には左右されない利点がある。

【0060】

また、特開平10-134578号公報の例では、バッファ回路に入力される制御信号が2つのアドレス信号から作られており、そのためデコードするための回路が必要であり回路規模も大きいが、本発明ではワード信号に同期すればよく、回路規模も小さくなる。

【0061】

次に、本発明の第2の実施の形態を説明する。

【0062】

第2の実施の形態の構成を示した図4を参照すると、ここでは上述した判定回路をROMのビット線に適用した場合を示す。

【0063】

すなわち、行線と列線が交差状に配置された交点にROMセルが配置されて構

成されるメモリバンク20a, 20bと、それぞれのメモリバンク20に接続されるワード線81; ~8'nと、上位メモリバンク20aのビット線10a, 10b, 10c, 10dに接続されるプリチャージ及び読み出し回路4dがあり、その出力は下位メモリバンク20bの対応するビット線12a, 12b, 12c, 12dに接続される。

【0064】

下位メモリバンク20bのビット線にプリチャージ及び読み出し回路4eが接続され、その出力をカラムセレクタ6により選択したデータを出力する出力回路より2バンク構成のROMの基本構成である。

【0065】

ROMの読み出しは、ワード線によって選択されたROMセルに接続されているプリチャージされたデータ線を、書き込まれているROMコードによりディスチャージするかしないかで行っている。

【0066】

この読み出し方法は、マルチポートメモリのシングルエンド方式の読み出しと同様の構成のため本発明を用いることができる。上位メモリバンク20aおよび下位メモリバンク20bのビット線間に図2で示した判定回路32を含むプリチャージ及び読み出し回路を接続することにより、前述したマルチポートメモリ同様、ビット線毎に読み出した結果を下位メモリバンクのビット線に順次に伝播することで、高速にデータを出力することができる。

【0067】

この第2の実施の形態においても、各バンク毎にカラムセレクタを付加することなくバンク構成を実現し、読み出し速度は同等のまま面積縮小が可能になる。

【0068】

次に、第3の実施の形態を説明する。

【0069】

第3の実施の形態の構成を示した図5を参照すると、この構成は図6に示すように、プリチャージトランジスタであるPMOSトランジスタ31によりプリチャージされた信号線57にワイヤードOR回路が接続された論理回路に対して本

発明を適用した例である。

【0070】

このようなワイヤードOR回路の例としては、検索機能を持つCAM (Content Addressable Memory) におけるMatch Lineがある。Match LineはCAMのデータ検索結果を伝える信号であり、不一致データが一つでもあればMatch Lineは“0”レベルになる。

【0071】

図6において、プリチャージされた信号57に対して、ワイヤードオアで接続された論理回路105, 106, ~110の入力信号23, 24, ~28のうちの一つ以上が“1”レベルの場合に、プリチャージされた信号線57のディスチャージを行い、その信号レベルを“0”レベルにして、インバータ111の出力信号を“1”レベルとする。

【0072】

このような回路では、ワイヤードオアの論理回路が多数接続されている場合に信号線57の容量が大きくなり、ディスチャージに必要な時間が大きくなつて出力信号の遅延を招くことになる。

【0073】

すなわち、入力信号23, 24, ~28のうちの1つのみ“1”レベルの場合に、信号57のディスチャージに最も時間を要するため、出力信号が“1”レベルになるまでの遅延時間が最大となる。

【0074】

図5を参照すると、図6の構成との相違点は、ビット線を分割して信号線57を信号線21と信号線22に分割し、信号線21のビット線に判定回路32を接続し、その判定出力端にNMOSトランジスタ29およびPMOSトランジスタ30のゲートを接続したことである。

【0075】

上述した構成により、判定出力が“1”レベルになるとNMOSトランジスタ29がON状態になり、信号線22のビット線と接続し、信号22のビット線を

ディスチャージする。

【0076】

つまり、信号線21での判定結果が“0”レベルであれば下位バンクのビット線の信号線22は上位バンクの信号線21の影響を受けずに、プリチャージレベルかワイヤードオアされた論理回路の結果を信号線22から伝播し出力信号となるように動作する。

【0077】

すなわち、図5の動作を説明するためのタイミングチャートを示した図7を参照しながら、区間32においてワイヤードオアの入力信号23のみが“1”レベルに変化した場合を説明する。

【0078】

まず、プリチャージ信号の“0”レベル期間にプリチャージされた信号線21のビット線は、タイミングt1において、プリチャージ信号が“1”レベルの期間に入力信号23が“1”レベルになることにより、信号線21がディスチャージ開始される。

【0079】

信号線21のディスチャージが進みその電位が、タイミングt2において判定回路32の論理しきい値まで下がると、タイミングt3において判定回路32が“1”レベルを出力する。

【0080】

判定回路32が“1”レベルを出力すると、タイミングt4においてNMOSトランジスタ29がON状態になり、信号線22のディスチャージを行う。

【0081】

NMOSトランジスタ29の能力を入力信号が接続されるNMOSトランジスタ105, 106, ~110よりも大きく（トランジスタサイズを大きく）設計されているので、信号22は接続されるインバータの論理しきい値まで高速にディスチャージされ、タイミングt5において出力信号に“1”レベルが高速で出力される。

【0082】

この場合、信号線21のディスチャージ時間は図6の信号線57のディスチャージ時間の約半分で完了し、信号線22のディスチャージは高速で行われることより、回路全体で高速化が実現できる。

【0083】

次に、区間33において入力信号26のみが“1”レベルに変化した場合を説明する。信号線21に対応する入力信号は“0”レベルのため信号線21はプリチャージ状態を保持する。

【0084】

タイミングt6において入力信号26が“1”レベルになると、信号線22の電位はNMOSトランジスタ108によりディスチャージされ、タイミングt7においてインバータ33の論理しきい値まで電位が下がった時、タイミングt8においてインバータ33が“1”レベルを出力する。

【0085】

信号線22に付く容量は、図6の信号57の容量の約半分になるため、ディスチャージ時間も約半分となり、データ出力が高速化される。

【0086】

区間34において、入力信号23, 26が“1”レベルに変化した場合を説明する。タイミングt9で入力信号23, 26が“1”レベルになり、信号線21, 22の容量ともディスチャージされていき、タイミングt10において信号線22の電位がインバータ33の論理しきい値まで下がったとき、タイミングt11においてインバータ33の出力が“1”レベルとなる。

【0087】

信号線21, 22のそれぞれに対応するワイヤードオアの論理回路入力信号が複数“1”レベルとなる場合は、信号線21, 22のディスチャージが高速で行われるため、区間34での動作速度よりもさらに速くデータ出力は“1”レベルとなる。

【0088】

次に読み出し回路の判定回路に図2で示したNOR32a以外の構成を用いた第4の実施の形態を説明する。

【0089】

判定回路32をクロックドインバータ40で構成した場合の回路を示した図8を参照すると、判定回路であるクロックドインバータ40の入力端には、上位ブロックのデータ線、上位ブロックデータ線のプリチャージ状態を保持するための保持用PMOSトランジスタ36およびプリチャージ用PMOSトランジスタ35が接続される。

【0090】

クロックドインバータ40の出力端には、下位ブロックのデータ線をディスチャージするためのNMOSトランジスタ37とハイインピーダンス時の誤動作防止用のNMOSトランジスタ39のドレインと保持用PMOSトランジスタ36のゲートと下位ブロックのデータ線をディスチャージするディスチャージトランジスタであるNMOSトランジスタ37のゲートとがそれぞれ接続される。

【0091】

また、クロックドインバータ40の制御端子には、クロックドインバータ40を制御する判定開始信号線およびその極性反転信号線がインバータ38を介して接続される。

【0092】

NMOSトランジスタ39は、その出力によりクロックドインバータ40のコントロールとクロックドインバータ40の出力がハイインピーダンスHi-Z状態時に判定出力を“0”レベルにする。

【0093】

上述した構成の判定回路32を適用したときの動作を説明する。判定開始信号が“1”レベルの場合に、上位ブロックのデータ線電位の反転データを判定出力として出力することにより、下位ブロックのデータ線のディスチャージを行うかどうかが決る。

【0094】

判定開始信号が“0”レベルの場合は、クロックドインバータ40の出力がHi-ZとなるためNMOSトランジスタ39によって判定出力を“0”レベルに引き下げることで、下位ブロックのディスチャージを止めて下位ブロックデータ

線のプリチャージに影響しないようにすることができる。

【0095】

なお、このH i - Z状態の場合、NMOSトランジスタ39によって保持用PMOSトランジスタ36を導通状態にして上位ブロックデータ線をプリチャージ電位に保持する。

【0096】

次に、読み出し回路の判定回路にさらに他の構成を用いた第5の実施の形態を説明する。判定回路にデータ線の信号レベルとリファレンス信号レベルとの差電圧を増幅する差動型センスアンプ41を用いた構成を示す図9を参照すると、図8の回路との相違点は、上位ブロックデータ線を入力端子(+)に接続し入力端子(-)にリファレンス信号線を接続子、制御入力端には判定開始信号線を接続する差動型センスアンプ41と、その出力端を入力端に接続するクロックドインバータ40とを有することである。

【0097】

上述した構成により、判定開始信号が“1”レベルの場合に上位ブロックのデータ線とリファレンス信号を比較してその差電圧を増幅して出力し、クロックドインバータ40でデータを極性反転させて下位ブロックのデータ線のディスチャージを行うかどうかを決める。

【0098】

リファレンス信号との差電圧を差動型センスアンプ41で求めるので、データ線の電位が次段のしきい値まで降下するまで待つ必要が無く高速化される。

【0099】

判定開始信号が“0”レベルの場合は、クロックドインバータ40の出力H i - Zとなるので、NMOSトランジスタ39によって判定出力を“0”レベルにしてNMOSトランジスタ37をオフにし下位ブロックのディスチャージを止める。

【0100】

【発明の効果】

上述したように、本発明の半導体装置のデータ読出回路およびそのデータ読出

方法は、複数の回路ブロックからの出力データを逐一的に共通データ線に読み出す選択手段と、読み出した出力データを外部へ出力するか否かを選択手段の選択信号に同期した判定開始信号で判定する判定手段と、その判定結果で制御されかつ次段回路ブロックとの間の共通データ線に継続接続で挿入されるディスチャージ手段とを有し、判定結果に基づき、転送すべき出力データが非正転レベルならディスチャージ手段を導通状態にして次段回路ブロックの共通データ線をディスチャージさせ非正転レベルならプリチャージ手段でプリチャージさせる制御動作を、最下位の回路ブロックまで順次に繰り返して出力データに対応した論理レベルのデータを出力するデータ転送機能を備えるので、従来のバンクを用いた構成と同等の高速読み出しを実現しつつ、チップ面積を小さくすることが出来る。

【0101】

また、ビット線分割を行わない構成を有するので、読み出しビット線での消費電力を小さくでき、4分割時で約5／8となる。

【図面の簡単な説明】

【図1】

本発明が一例として適用されるリードポートの回路構成図である。

【図2】

判定回路32の第1の実施の形態の回路図である。

【図3】

本発明の第1の実施形態の動作説明用のタイミングチャートである。

【図4】

判定回路32の第2の実施の形態の回路図である。

【図5】

判定回路32の第3の実施の形態の回路図である。

【図6】

ワイヤードOR回路の論理回路の例を示す図である。

【図7】

図5の動作を説明するためのタイミングチャートである。

【図8】

判定回路32の第4の実施の形態の回路図である。

【図9】

判定回路32の第5の実施の形態の回路図である。

【図10】

シングルエンド方式を用いたマルチポートメモリセルの構成図である。

【図11】

従来のマルチポートRAMの構成の一例を示した図である。

【図12】

シングルエンド方式によるデータの読み出しのタイミングチャートである。

【図13】

ビット線の容量増加によりディスチャージ時間が大きくなる例を示すタイミングチャートである。

【図14】

バンク分割しバンク単位でアドレス選択を行う構成例の図である。

【図15】

図14を説明するためのタイミングチャートである。

【図16】

シングルポートRAMセルの構成例を示す図である。

【符号の説明】

1 メモリセル

2 a, 2 b, 2 c, 2 d メモリバンク

3 a, 3 b, 3 c, 3 d 行デコード出力

4 a, 4 b, 4 d プリチャージ及び読み出し回路

5 列デコード出力

6 カラムセレクタ

7 出力回路

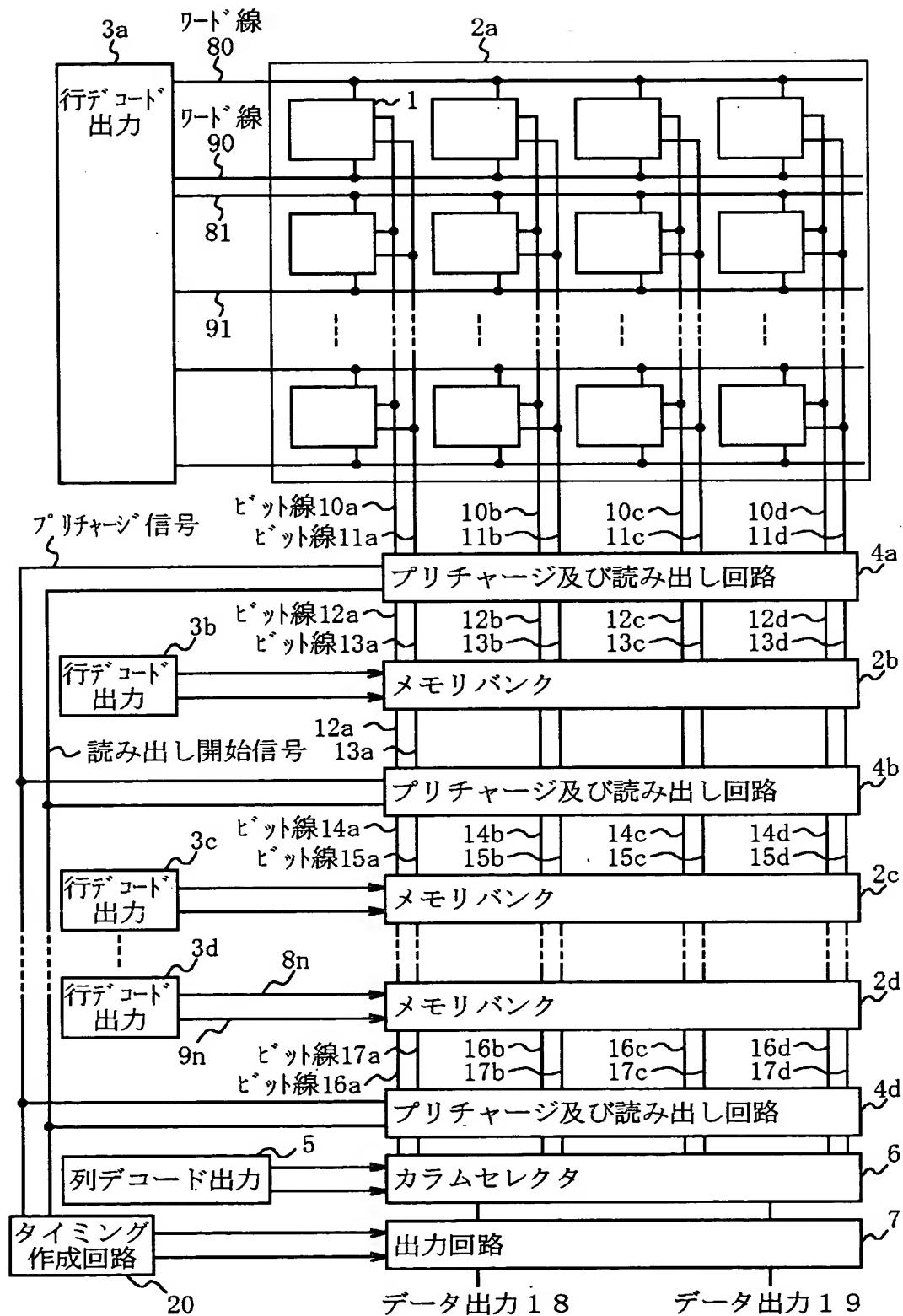
8 0, ~8 n, 8 1, ~8 n, 9 0, ~9 n, 4 2 0, ~4 2 n ワード線

1 0 a, 1 0 b, 1 0 c, 1 0 d, 1 1 a, 1 1 b, 1 1 c, 1 1 d, 1 2 a
, 1 2 b, 1 2 c, 1 2 d, 1 3 a, 1 3 b, 1 3 c, 1 3 d, 1 4 a, 1 4 b

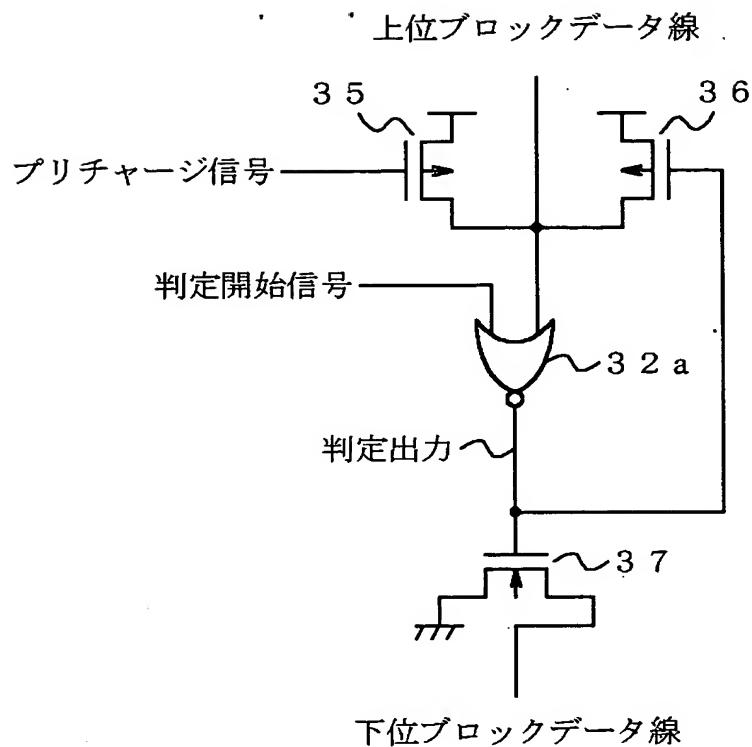
, 14c, 14d, 15a, 15b, 15c, 15d, 16a, 16b, 16c
, 16d, 17a; 17b, 17c, 17d ビット線
18, 19 データ出力
20 タイミング作成回路
21, 22, 57 信号線
23, ~28 入力信号
29, 37, 39, 105, ~110 NMOSトランジスタ
30, 31, 35, 36 PMOSトランジスタ
32 判定回路
32a NOR
33, 38 インバータ
40 クロックドインバータ
41 差動型センスアンプ
49 プリチャージ回路
50 ライトポートカラムセレクタ
51 リードポートカラムセレクタ
52 書き込み回路
54 データ入力回路
55 データ出力回路

【書類名】 図面

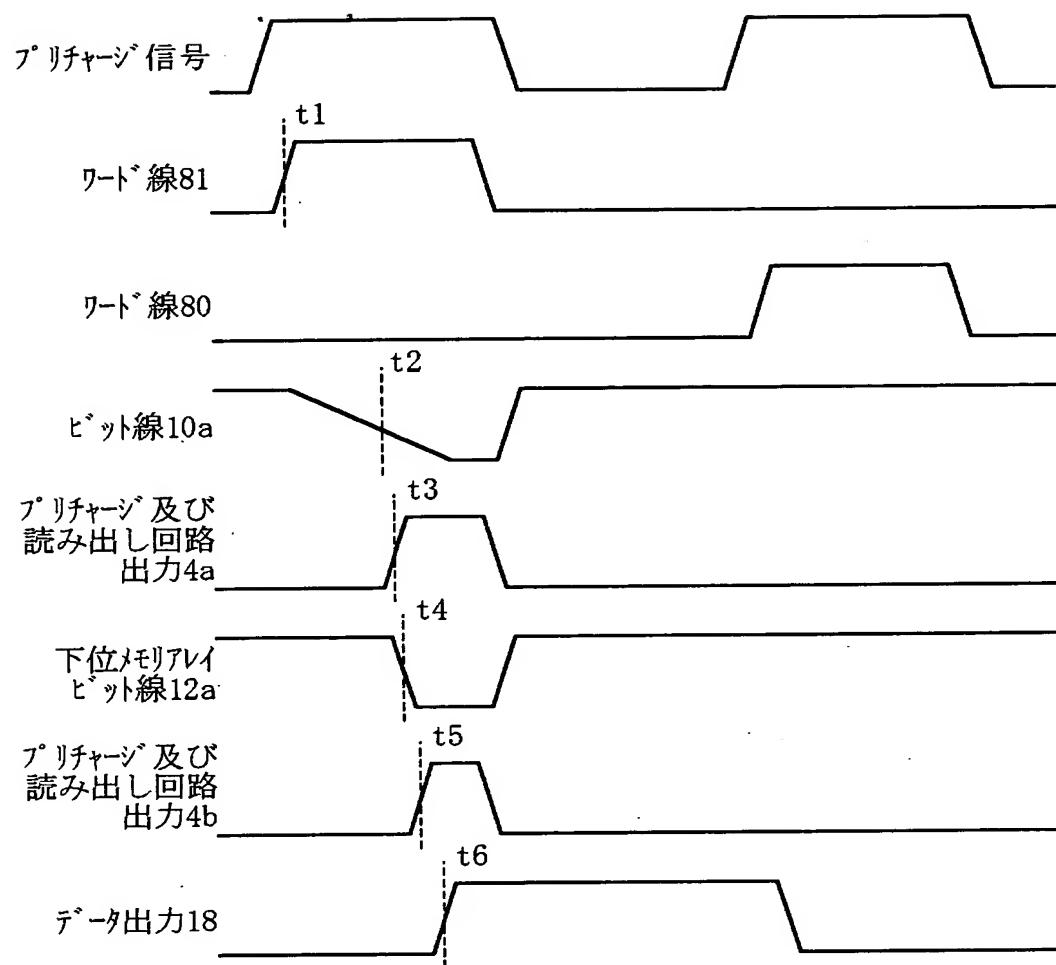
【図1】



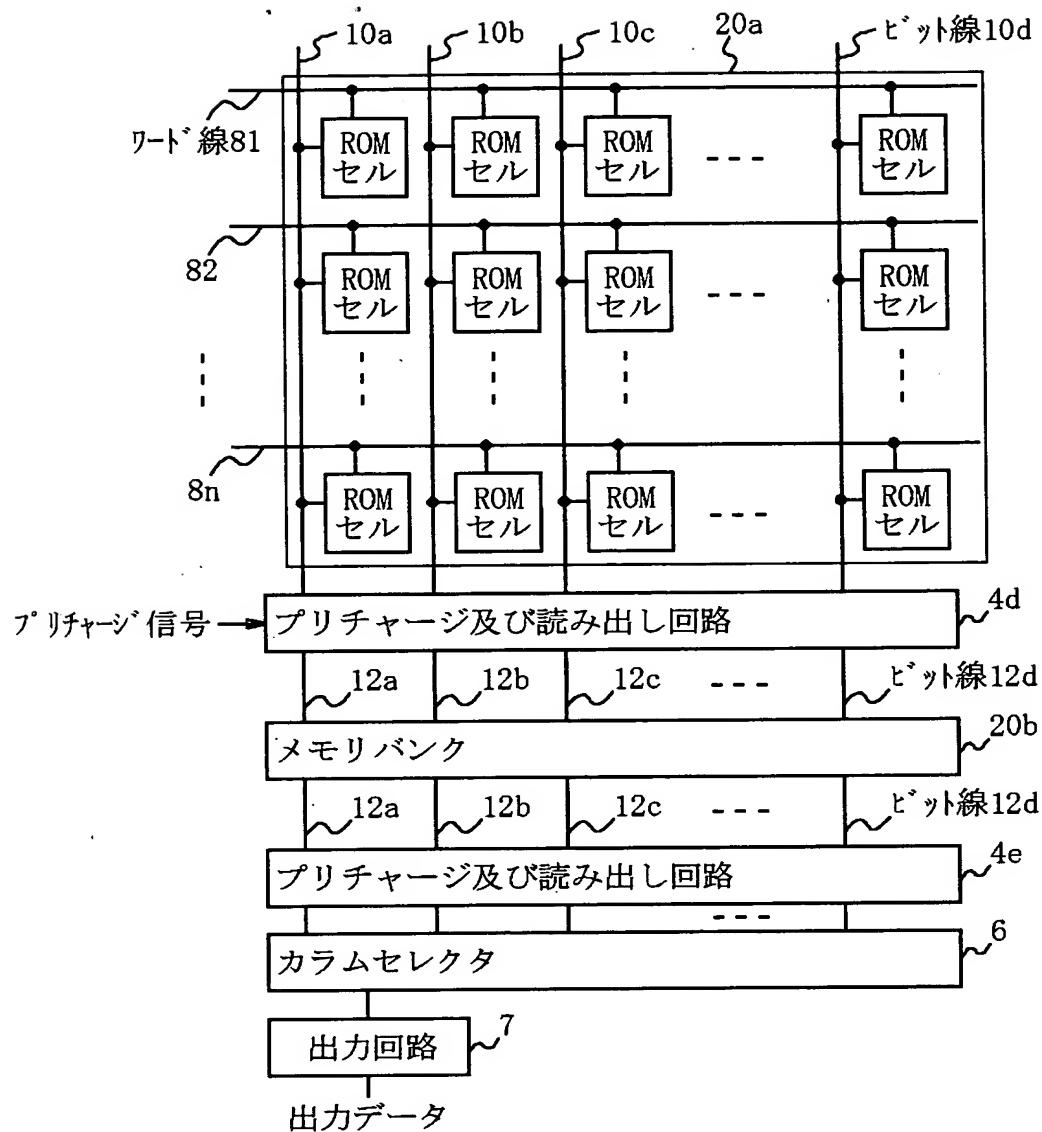
【図2】



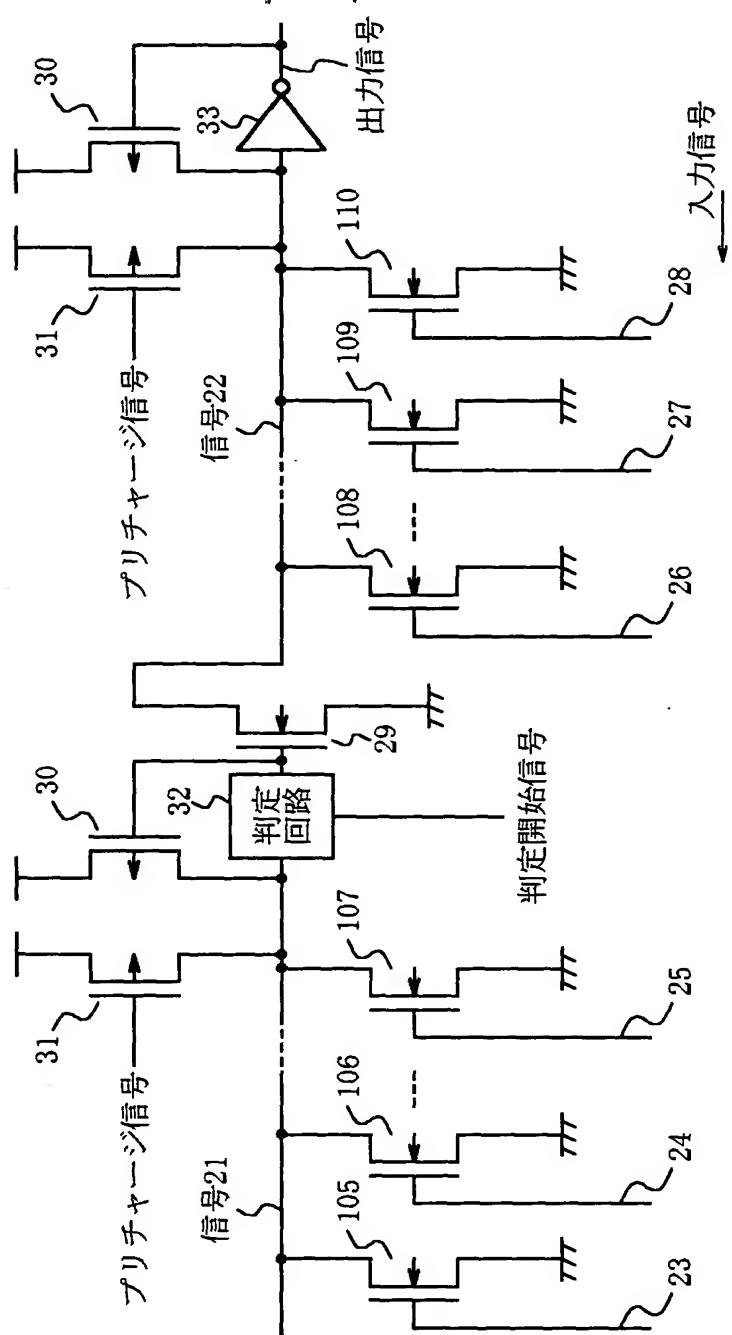
【図3】



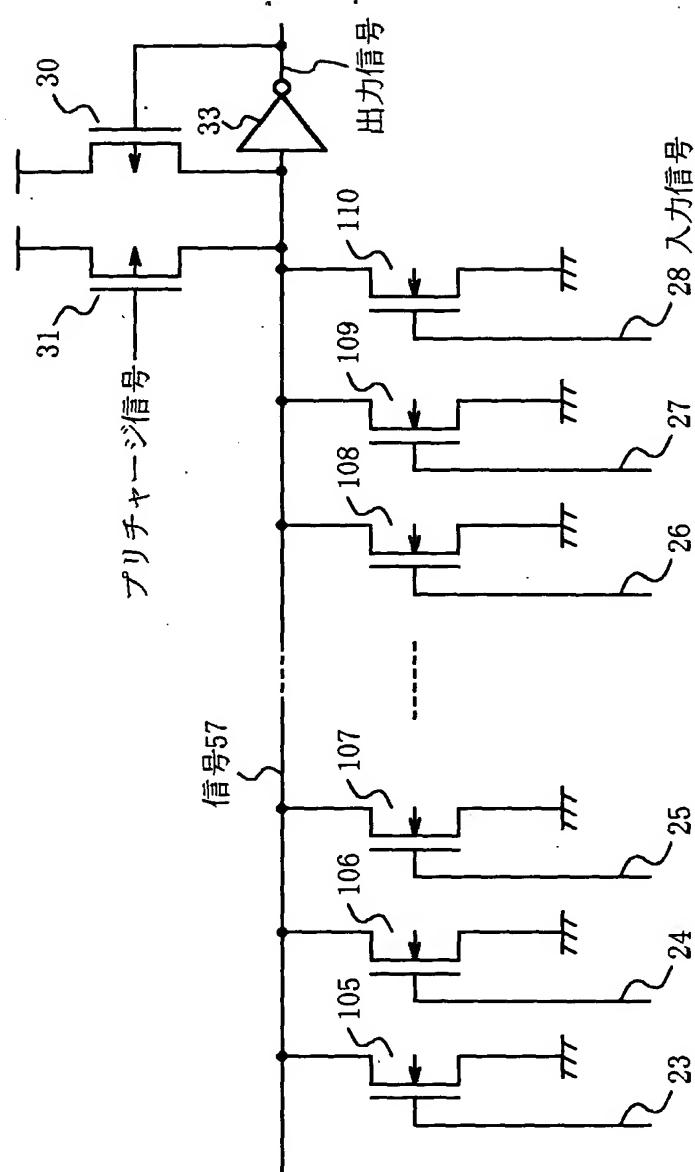
【図4】



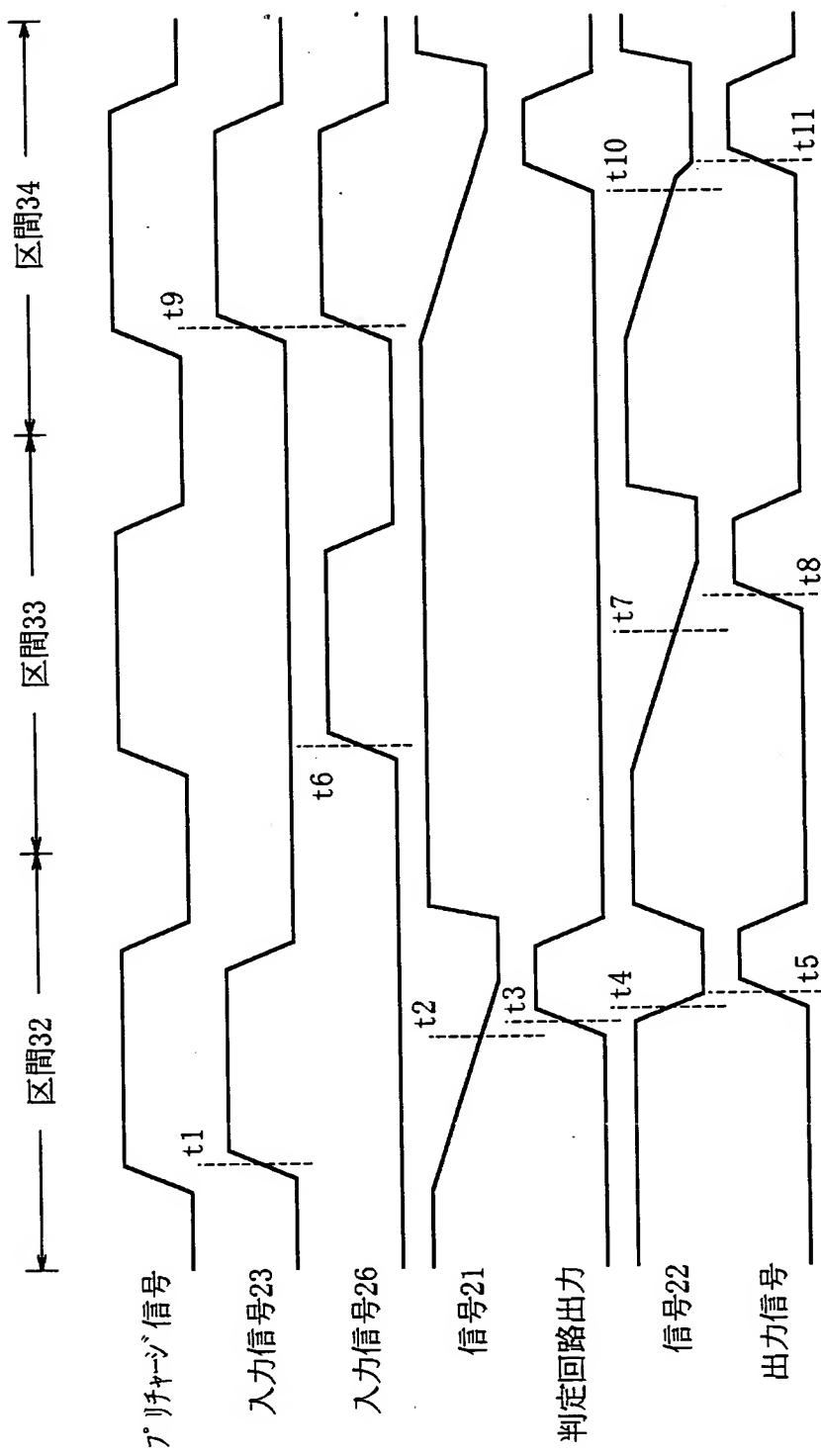
【図5】



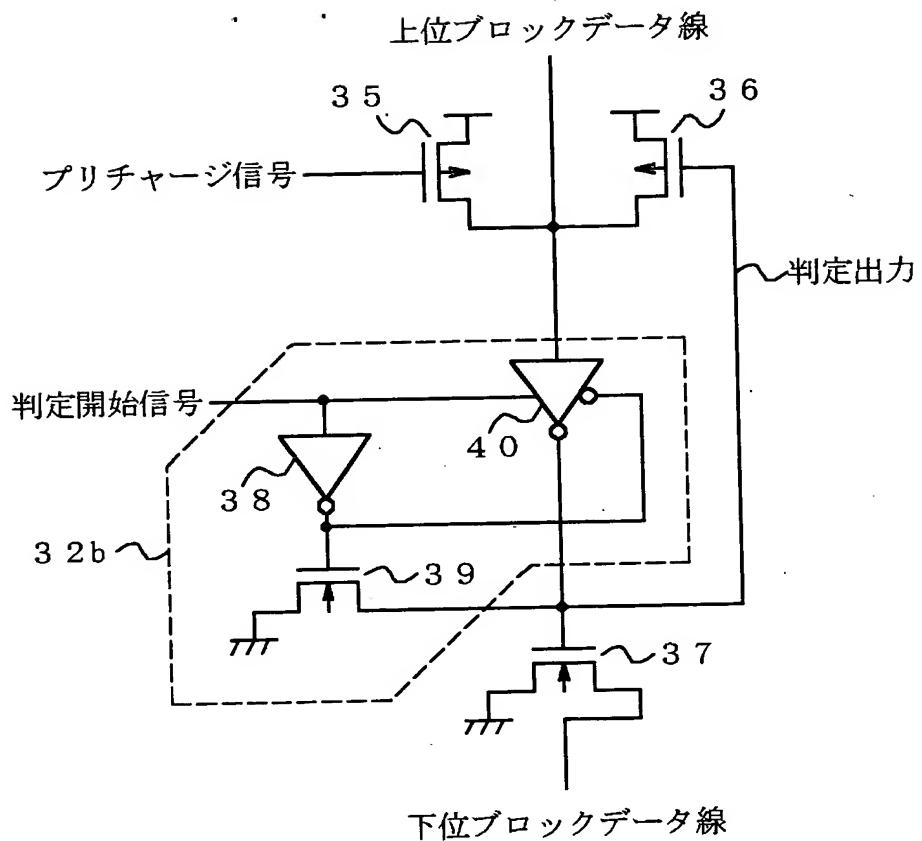
【図6】



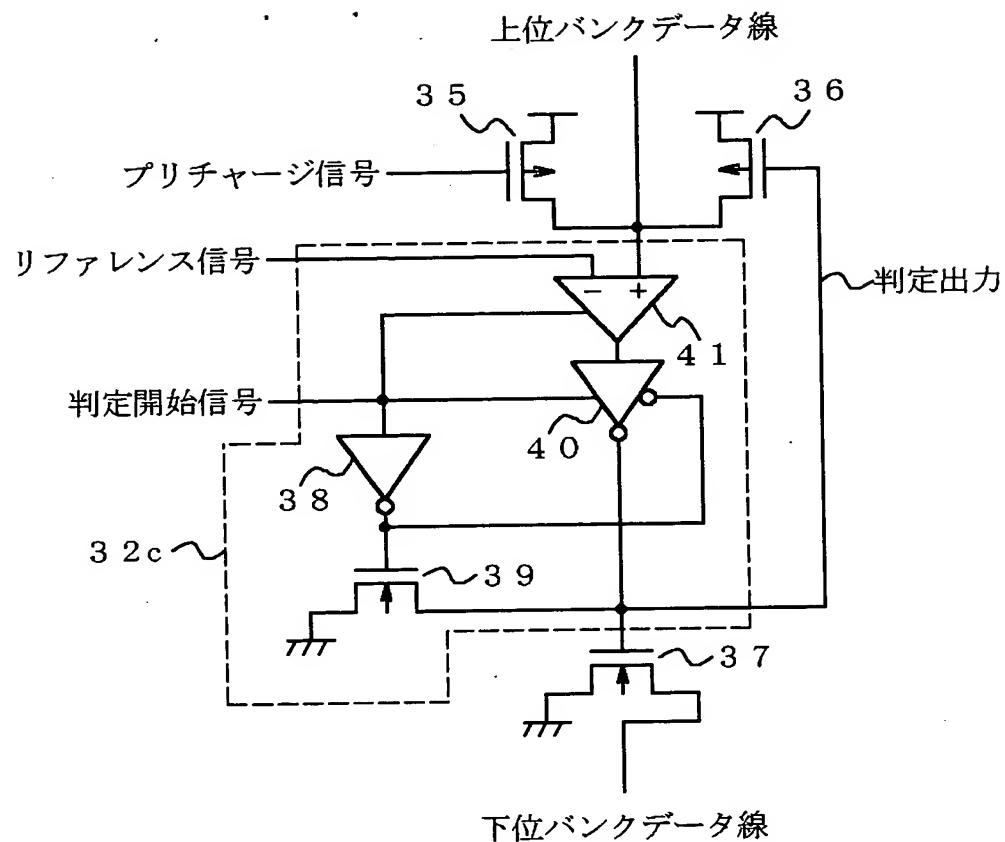
【図7】



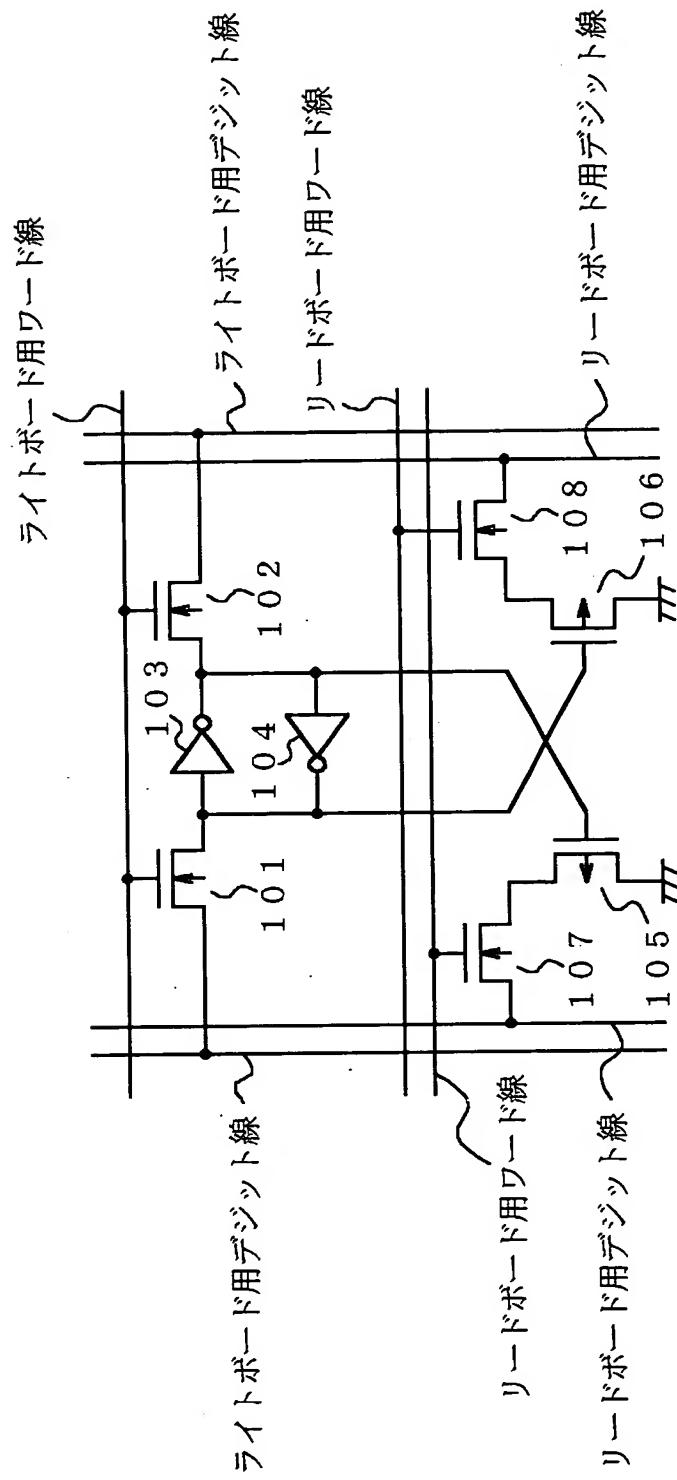
【図8】



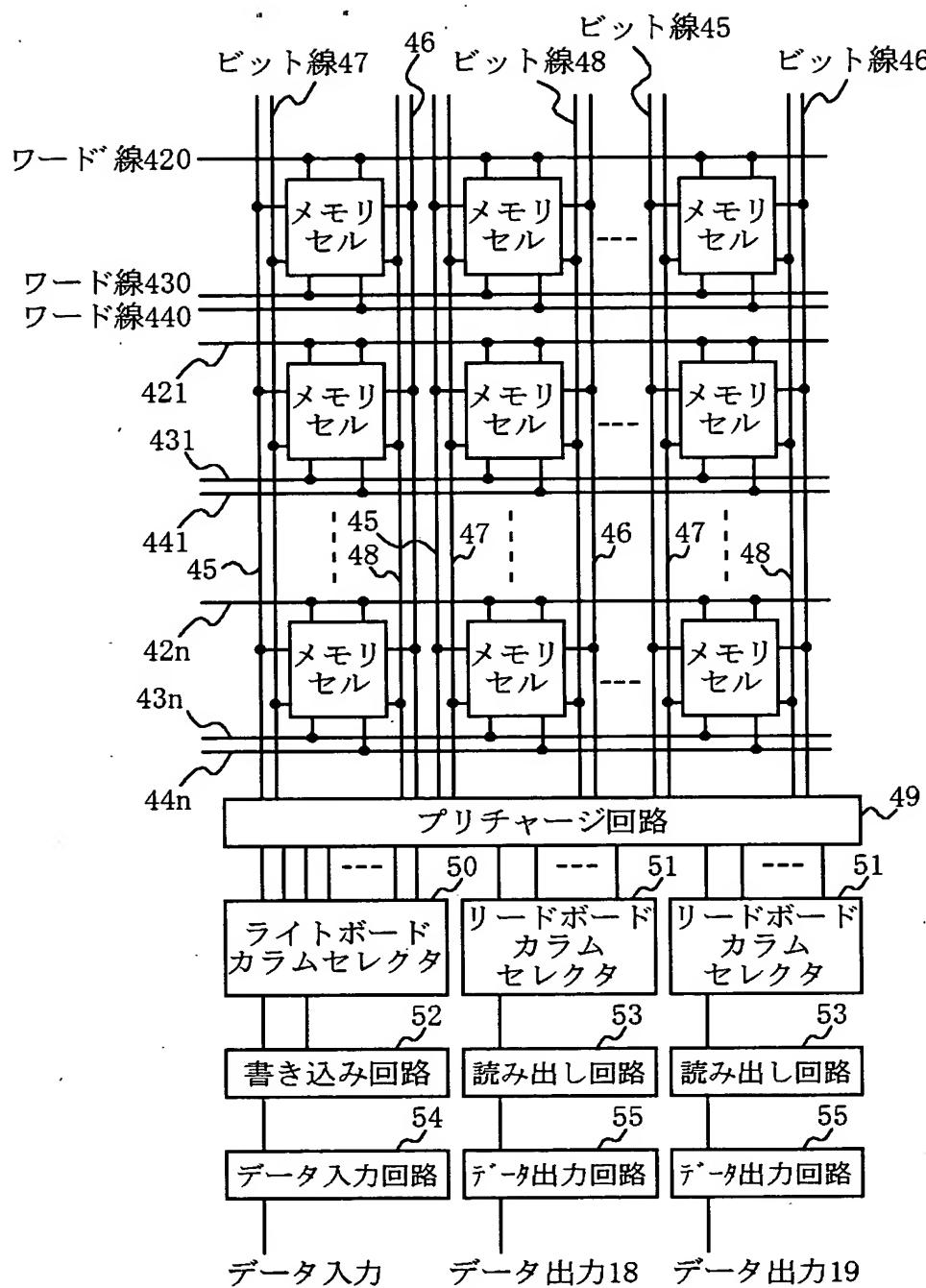
【図9】



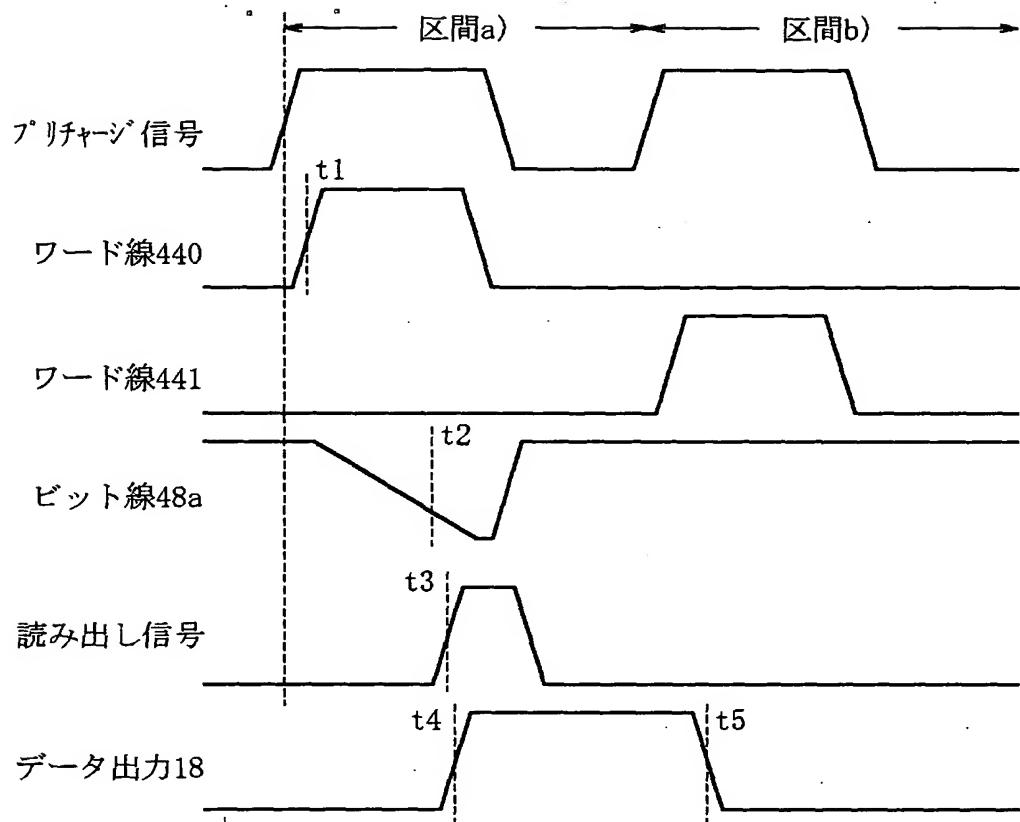
【図10】



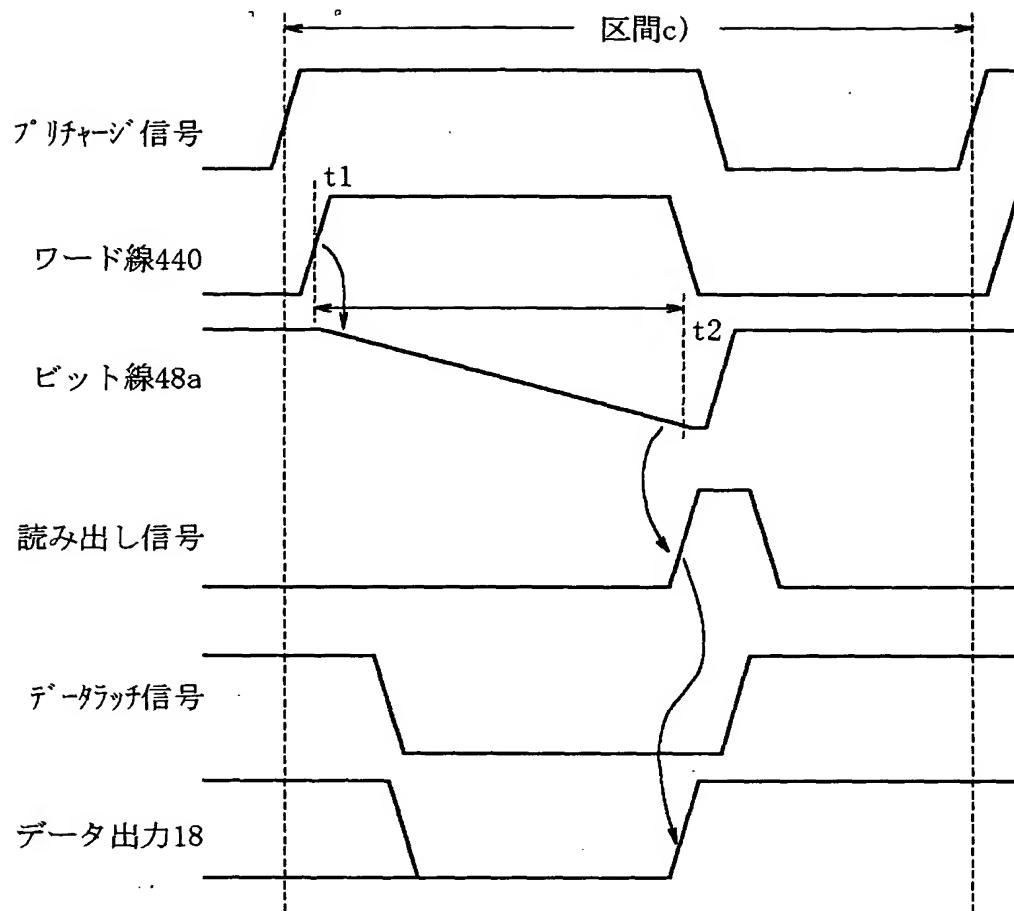
【図11】



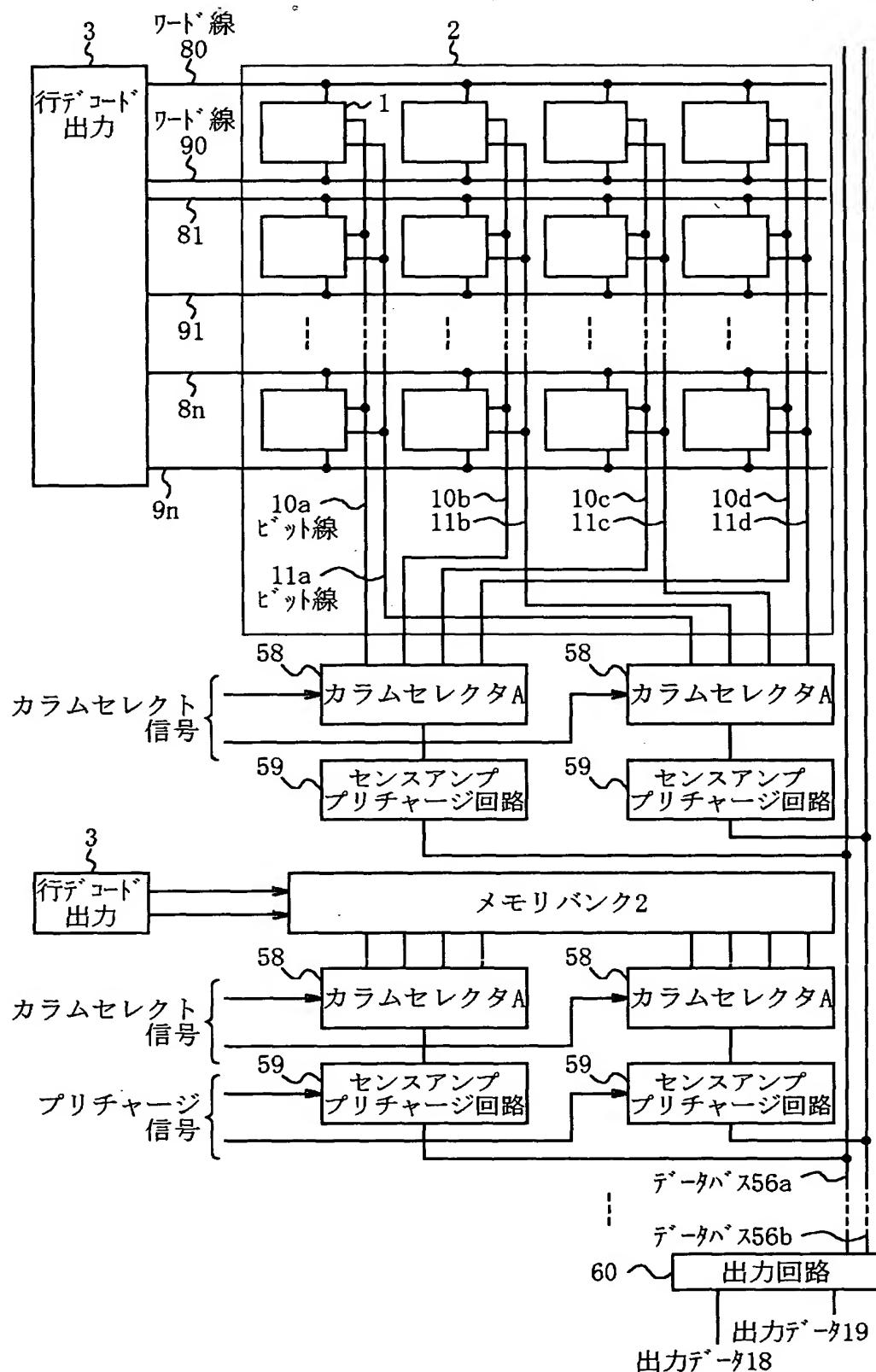
【図12】



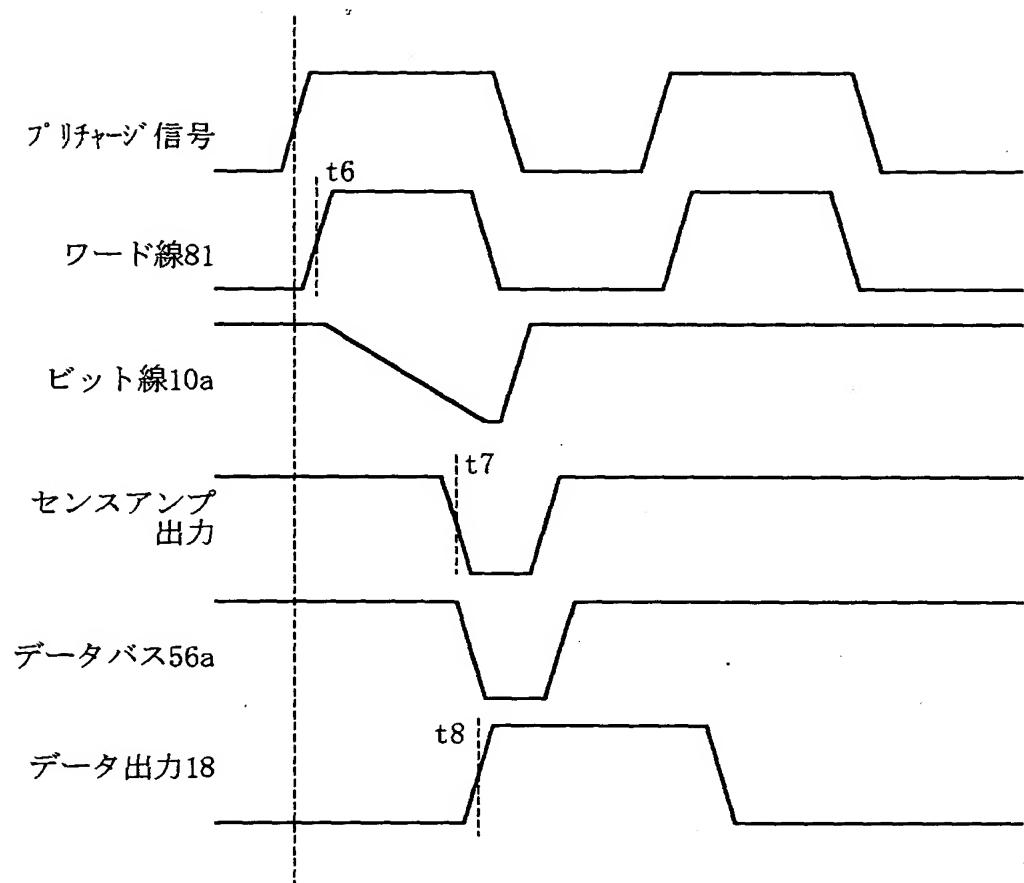
【図13】



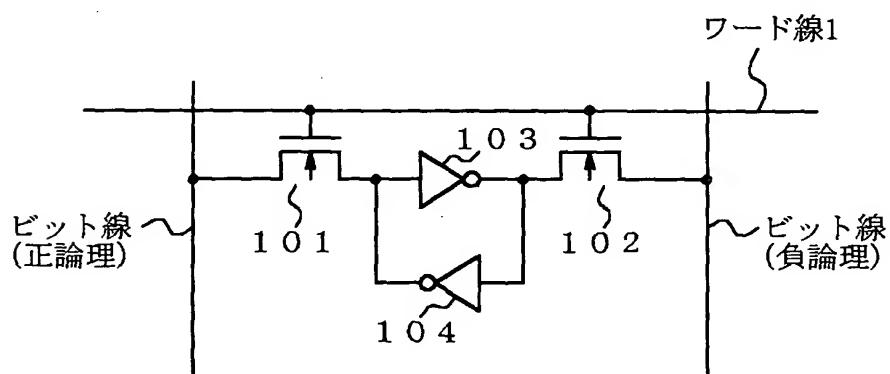
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 ビット線のディスチャージが高速に行われビット線のデータ転送速度を向上させる。

【解決手段】 ビット線を分割して信号57を信号21と信号22に分割し、信号21のビット線に判定回路32を接続し、その判定出力端にNMO Sトランジスタ29を接続する。判定出力が“1”レベルになるとNMO Sトランジスタ29がON状態になり、信号22のビット線と接続し、信号22のビット線をディスチャージする。つまり、信号21での判定結果が“0”レベルであれば下位バンクのビット線の信号22は上位バンクの信号21の影響を受けずに、プリチャージレベルがワイヤードオアされた論理回路の結果を信号22から伝播し出力信号となるように動作する。

【選択図】 図5

認定・付加情報

特許出願の番号	特願2002-268865
受付番号	50201379768
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 9月17日

<認定情報・付加情報>

【提出日】 平成14年 9月13日

次頁無

出願人履歴情報

識別番号 [000232036]

1. 変更年月日 2001年 5月21日

[変更理由] 名称変更

住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社